

MANUFACTURE OF PHOTOSEMICONDUCTOR DEVICE

Patent Number: JP61059886
Publication date: 1986-03-27
Inventor(s): KANEKO TOSHIAKI; others: 01
Applicant(s): FUJITSU LTD
Requested Patent: ☐ JP61059886
Application Number: JP19840181910 19840831
Priority Number(s):
IPC Classification: H01L33/00
EC Classification:
Equivalents:

Abstract

PURPOSE: To prevent the alignment accuracy from deteriorating due to the crack or warpage of a chip in manufacturing steps and to facilitate the characteristic check, by forming an epitaxial layer, an impurity diffused region and electrodes on a substrate and then fusing a conductive plate material.

CONSTITUTION: An N type AlGaAs layer 2, a P type AlGaAs active layer 3, a P type AlGaAs layer 4, and an N type AlGaAs layer 5 are grown in liquid phase on an N type GaAs substrate 1, P type impurity diffused regions 6a, 6b are selectively diffused, and a P type electrode 7 and a gold plating gold portion 8 are formed. Then, a silicon wafer 16 metallized with melted alloy is die bonded through a fused alloy material 17 and the substrate 1 is then selectively etched. Then, since it is strengthened with silicon 16, crack and warpage are remarkably reduced. Then, N type electrodes 10 are patterned, grooves 12 are formed until reaching a wafer 15. Then, chips are checked for the characteristics in the state integrated with the wafer 16. Then, chips are completely formed by cracking to be mounted on a stem 14.

Data supplied from the esp@cenet database - I2

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭61-59886

⑬ Int. Cl.⁴
H 01 L 33/00

識別記号

庁内整理番号
6666-5F

⑭ 公開 昭和61年(1986)3月27日

審査請求 未請求 発明の数 1 (全4頁)

⑮ 発明の名称 光半導体装置の製造方法

⑯ 特 願 昭59-181910

⑰ 出 願 昭59(1984)8月31日

⑱ 発 明 者 金 子 敏 明 川崎市中原区上小田中1015番地 富士通株式会社内
⑲ 発 明 者 神 田 幸 人 川崎市中原区上小田中1015番地 富士通株式会社内
⑳ 出 願 人 富士通株式会社 川崎市中原区上小田中1015番地
㉑ 代 理 人 弁理士 松岡 宏四郎

明 細 書

1. 発明の名称

光半導体装置の製造方法

2. 特許請求の範囲

基板上にエピタキシャル層を積層成長させて不純物拡散領域を形成し、電極を形成した後に、導電性の板材を上記電極側に溶融合金を介して融着し、上記基板をエッチング後に該エッチング面に他の電極を形成し、該他の電極側から上記板材の厚み方向の一部に達する切溝を形成した状態で特性チェックを行い、クラッキング後に各別チップをステムに融着してなることを特徴とする光半導体装置の製造方法。

3. 発明の詳細な説明

(発明の技術分野)

本発明は光半導体装置の製造方法に係り、特に化合物光半導体素子のウェハー加工時と特性チェック時に生ずる該ウェハーの反りや折れ等を発生させない様にした光半導体装置の製造方法に関する。

(技術の背景)

近赤外及び可視発光ダイオード等の製造工程に於いて、活性材料として一般にはアルミニウム、ガリウム、ヒ素 ($Al_x Ga_{1-x} As$) 発光ダイオードが用いられているが、近赤外や赤、或いは橙色の発光が可能な光半導体素子の基板としてGaAsまたはGaAs_{1-x}P_x等を用いたインジウム、ガリウム、ヒ素 ($In_x Ga_{1-x} As$) インジウム、ガリウム、ヒ素、燐 ($In_x Ga_{1-x} As_{1-y} P_y$) 発光ダイオード等の比較的結晶強度の弱い化合物光半導体装置では、その製造過程、特に基板エッチング段階で反りや割れを生じ背面マスクアライメントの位置合わせ等に問題が発生していた。

(従来技術)

上記した結晶強度の弱い化合物光半導体装置として $Al_x Ga_{1-x} As$ 発光ダイオードについて第2図(a)~(d)にその製造方法の過程を示す。第2図(a)に於いて基板1はn型のGaAsであり、該基板1上に第1層2として $n-Al_x Ga_{1-x} As$ を50 μ m厚に液相成長させ、該第1層2上に活性層になる第2層3として $P-Al_x Ga_{1-x} As$ を1 μ m厚に液相成長

させ、第3層4として $P-Al_x : Ga_{1-x}As$ を第2層3上に $1\mu m$ 厚に液相成長させる。更に第4層5として第3層4上に $n-Al_x : Ga_{1-x}As$ を $1\mu m$ 厚に液相成長させ、第4層5上に発光径 $30\sim 40\mu m$ を得るために第3層4表面に到達する様に $ZnAs$ 等のP型不純物6を $1\sim 2\mu m$ 厚に選択拡散させる。

次に第2図(c)に示す様に第4層5の全面に $0.5\mu m$ 厚程度に金、亜鉛からなるP型電極7を蒸着し、更に熱伝導を良好にするためにAu鍍金層8を $10\sim 20\mu m$ 厚に形成してアロイを行う。次にエッチング液によって基板1を選択エッチング9する。該エッチング液としては $NH_4OH + H_2O_2$ 等を用いることが出来る。この様にして得た $n-Al_x : Ga_{1-x}As$ 面の第1層2上に第2図(c)に示す様にn型電極10を $0.5\mu m$ 厚程度に蒸着する。該n型電極としてはAuGeを 1000\AA 厚に更にAuを 5000\AA 厚に蒸着させて $130\mu m$ 程度の光取出し部11をパターンニングしてアロイ化を行い、続いてダイシングして切溝12を形成してからチップ

化して互いに切り離された各チップを特性チェックして良品を選別する様になし、選別されたチップは第2図(d)に示す様にn型電極10にAuワイヤ13をボンディングすると共にアロイした金鍍金層8を溶融合金15(例えばAuSi)を介してステム14上に溶着させてステム14上にチップがマウントされた発光ダイオードが完成する。

(従来技術の問題点)

上記した化合物光半導体装置の製造方法によると、GaAs基板1が第2図(c)に示す様にエッチングされるとチップ結晶層、すなわちエピタキシャル層の厚みは約 $50\mu m$ 程度の薄いものとなり反りがかなり大きな値となるために第1層2にn型電極をパターンニングする際の背面マスクアライメントの位置合わせ精度が悪化する。更に特性チェックを行うためには第2図(c)に示す様にダイシングを行ってチップを各別に分離してからでないとP型電極が共通であるため特性チェックを行うことが出来ないこの分だけ工程が増加するだけでなく、ダイシング時にエピタキシャル層が薄いために割

れを生じて生産上の歩留りを悪くしていた。

(発明の目的)

本発明は上記した欠点に鑑みなされたものであり、化合物光半導体の製造工程を減少させ製造過程に於いて生ずるチップの割れや、反りによるアライメント精度の劣化を防止し特性チェックを行い易い半導体装置の製造方法を提供することを目的とするものである。

(発明の構成)

そして、上記目的は本発明によれば基板上にエピタキシャル層を積層成長させて不純物拡散領域を形成し、電極を形成した後に、導電性の板材を上記電極側に溶融合金を介して融着し、上記基板をエッチング後に該エッチング面に他の電極を形成し、該他の電極側から上記板材の厚み方向の一部に達する切溝を形成した状態で特性チェックを行い、クラッキング後に各別チップをステムに融着してなることを特徴とする光半導体装置の製造方法を提供することで達成される。

(発明の実施例)

以下、本発明の一実施例を第1図(a)～(d)を用いて詳記する。第1図(a)は第2図(a)と同一構成で $n-GaAs$ 基板1上に第1層2の $n-Al_x : Ga_{1-x}As$ 、活性層となる第2層3の $P-Al_x : Ga_{1-x}As$ 、第3層4の $P-Al_x : Ga_{1-x}As$ 、第4層5の $n-Al_x : Ga_{1-x}As$ を順次液相成長させ、P型不純物拡散領域6a、6bを選択拡散している。次に第1図(b)に示す様にP型電極7と金鍍金部8の形成が行われた後でシリコンウェハー或いは溶融合金をメタライズしたシリコンウェハー16に金鍍金部8側を下にして金シリコン(AuSi)、金-錫(AuSn)等の溶融合金材17を介してダイボンドを行う。AuとSiの共晶温度は $400^\circ C$ 位であり、AuSn等では $280^\circ C$ 位で強固に固定される。この際シリコンウェハーはヒートシンクとなる。この様に熱伝導性(導電性)を与えたウェハー部材或いは熱伝導部材(導電部材)を固定した後に $n-GaAs$ 基板1を選択エッチング9する。この状態では従来方法に比べてシリコン16で強化されているために割れ、反りが激減する。次に第1図(c)に示す様にN型電

極10をパターンニングする場合に形成する光取出し部11の直径は130 μ m程度にするがこの際P型不純物拡散領域6a, 6bの中心と合わせる為の背面マスクアライメントの位置合わせ精度は反りが無いために精度を向上出来る。本発明の場合には上記マスクアライメントに於いてはシリコンウェハー16の一部をエッチングすることで行い得る。次にn側電極10側からダイサーによってシリコンウェハー16に達する迄切溝12を形成する。この状態では各チップは完全に分離されていないがP側電極7は各チップ毎に分離されているので各チップ毎に発光状態等の特性チェックを行えるのでシリコンウェハー16に一体に形成された状態で特性チェック出来るためにチェックの自動化が極めて行い易い状態となる。また、チェック時のウェハーの折れも防止出来る。

上述の如き特性チェック後にクラッキングすることで第1図(c)に示す様に完全にチップ化されてステム14にシリコンウェハー16は取り付けられ、ワイヤ13のボンディングが行われる。個々に

分離されたチップもシリコンウェハーと一体であり強度も充分であってP側電極7よりの電極取り出しもシリコンウェハー16が導電性を付与または導電性であるために電極取り出しも特に工夫する必要はない。

(発明の効果)

本発明は叙上の如く構成し、且つ製造されるために活性物質に反りを発生させず、基板エッチング時に生ずる割れを防止出来るだけでなく、反りによって生ずるn側電極工程での背面アライメント精度を向上させ、且つ特性チェック時にチップをバラバラにしないでチェックが行えて、更にシリコンウェハーはヒートシンクとしての機能も兼ねる等の多くの特徴を有するものである。

4. 図面の簡単な説明

第1図(a)~(d)は本発明の光半導体装置の製造方法を示す側断面図、第2図(a)~(d)は従来の光半導体装置の製造方法を示す側断面図である。

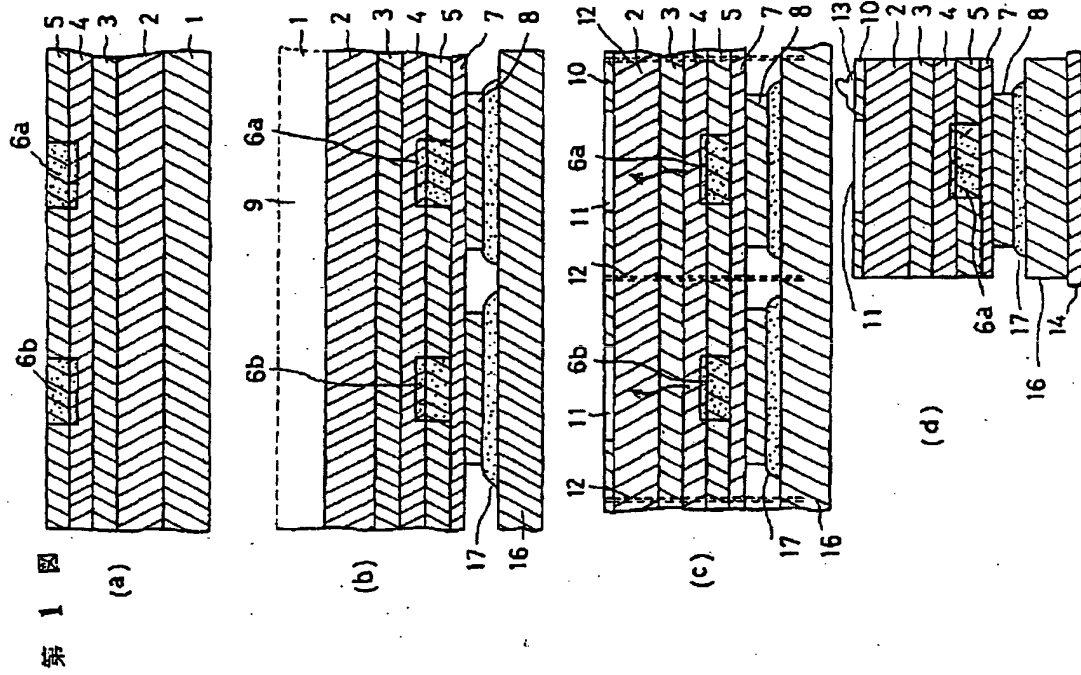
1・・・基板、 2・・・第1層、
3・・・活性層となる第2層、 4・・・第

3層、 5・・・第4層、 6. 6a, 6b・・・P型不純物拡散層、 7・・・P型電極、 8・・・金鍍金部、 9・・・エッチング部、 10・・・n側電極、 11・・・光取出し部、 12・・・切溝、 13・・・ワイヤボンダ部、 14・・・ステム、 15・・・溶融合金、 16・・・シリコンウェハー、 17・・・溶融合金。

特許 出願人
代理人弁理士

富士通株式会社
松岡 宏四郎





第 2 圖

